



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

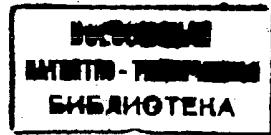
(19) SU (11) 1683039 A1

(51)5 G 06 F 15/76, 15/16

ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГКНТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

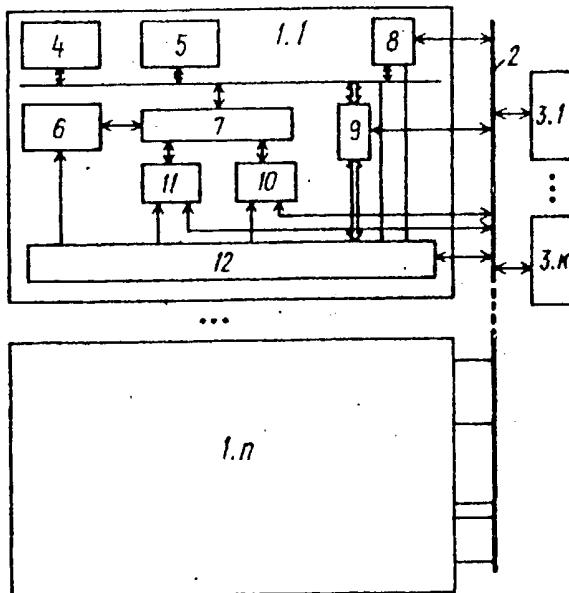


1

(21) 4653165/24
(22) 24.11.88
(46) 07.10.91. Бюл. № 37
(71) Киевский политехнический институт
им.50-летия Великой Октябрьской социали-
стической революции
(72) В.В.Васильев, Г.И.Гончаренко, В.И.Жа-
бин, В.В.Макаров, В.И.Савченко и В.В.Тка-
ченко
(53) 681.325(088.8)
(56) Авторское свидетельство СССР
№ 926662, кл. G 06 F 15/16, 1982.
Авторское свидетельство СССР
№ 1156086, кл. G 06 F 15/16, 1984.

2

(54) УСТРОЙСТВО ОБРАБОТКИ ДАННЫХ
ДЛЯ МНОГОПРОЦЕССОРНОЙ СИСТЕМЫ
(57) Изобретение относится к вычислитель-
ной технике и может использоваться для
создания многопроцессорных систем.
Целью изобретения является повышение
быстродействия за счет возможности со-
вмещения вычислительного процесса и про-
цессов обмена. Поставленная цель
достигается тем, что многопроцессорная си-
стема содержит процессорные блоки
1.1,...,1.n, системную шину 2, внешние уст-
ройства 3.1,...,3.k, процессор 4, локальную
память 5, коммуникационную память 6, пер-
вый и второй коммутаторы 7,8, регистр 9
команд, регистр 10 данных, регистр 11 адреса,
блок 12 управления. 1 ил.



(19) SU (11) 1683039 A1

тем передачи соответствующей команды в его регистр 9.1 команд (устанавливает 3-й разряд в состояние "0").

В данном случае обмена настройку межпроцессорных связей (подготовку адресов, счетчика слова), а также подсчет передаваемых слов возлагаются на процессор 4 активного процессорного блока 1.1. Это позволяет совместить во времени пересылку данных с частью непроизводительных затрат, так как процессор при выполнении программы не использует системную шину 2.

Ф о р м у л а и з о б р е т е н и я

Устройство обработки данных для многопроцессорной системы, содержащее процессор, локальную память, регистр адреса, отличающееся тем, что, с целью повышения быстродействия путем обеспечения возможности совмещения вычислительного процесса и процессов обмена, в него введены коммуникационная память, первый и второй коммутаторы, регистр команд, регистр данных и блок управления, причем входы-выходы, адрес (данные), управление процессора соединены через локальную общую шину устройства с одноименными входами-выходами локальной памяти, с первыми информационными входами-выходами первого коммутатора, с

первыми информационными входами-выходами регистра комманд, с первыми информационными входами-выходами второго коммутатора, вторые информационные входы-выходы которого являются первыми входами-выходами устройства, вторые входы-выходы которого соединены с вторыми информационными входами-выходами регистра комманд, вход режима которого соединен с первым выходом блока управления, второй и третий выходы которого соединены соответственно с входами регистра данных и регистра адреса, четвертый выход блока управления соединен с входом режима коммуникационной памяти, входы-выходы которой соединены с вторыми входами-выходами первого коммутатора, третий и четвертые входы-выходы которого соединены соответственно с первыми информационными входами-выходами регистра адреса и регистра данных, вторые информационные входы-выходы которых соединены соответственно с вторым и третьим входами-выходами устройства, четвертые входы выходы которого соединены с входами-выходами блока управления, первые и вторые выходы разрешения коммутации которого соединены соответственно с управляющими входами первого и второго коммутаторов.

Редактор М.Бланар

Составитель Г.Смирнова

Корректор А.Осаяленко

Заказ 3415

Тираж
ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., 4/5

Подписьное

Производственно-издательский комбинат "Патент", г. Ужгород, ул.Гагарина, 101